

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

02553792

MATRIX DISPLAY DEVICE

PUB. NO.: **63-170692** [JP 63170692 A]

PUBLISHED: July 14, 1988 (19880714)

INVENTOR(s): KIISU HAAROU NIKORASU

APPLICANT(s): PHILIPS GLOEILAMPENFAB NV [000982] (A Non-Japanese Company or Corporation), NL (Netherlands)

APPL. NO.: 62-322640 [JP 87322640]

FILED: December 19, 1987 (19871219)

PRIORITY: 8630410 [GB 8630410], GB (United Kingdom), December 19, 1986 (19861219)

INTL CLASS: [4] G09G-003/20; G02F-001/133; G09G-003/36

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass

Conductors)

## ⑫ 公開特許公報(A)

昭63-170692

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)7月14日

G 09 G 3/20  
G 02 F 1/133  
G 09 G 3/36

3 2 7

7335-5C  
7370-2H  
8621-5C

審査請求 未請求 発明の数 1 (全11頁)

⑭ 発明の名称 マトリクス表示装置

⑮ 特 願 昭62-322640

⑯ 出 願 昭62(1987)12月19日

優先権主張 ⑰ 1986年12月19日 ⑱ イギリス(GB) ⑲ 8630410

⑳ 発 明 者 キース・ハーロウ・ニ イギリス国サリー レイゲート ラグラン ロード80  
コラス

㉑ 出 願 人 エヌ・ベー・フィリツ オランダ国5621 ベーアー アインドーフエン フルーネ  
プス・フルーイランベ バウツウエツハ1  
ンフアブリケン

㉒ 代 理 人 弁理士 杉村 暁秀 外1名

## 明 細 書

1. 発明の名称 マトリクス表示装置

2. 特許請求の範囲

1. マトリクスに配置された複数の表示素子を  
具え、これら表示素子は電氣的に励起し得る  
表示材料を介挿した対向基板上に支持された  
それぞれの電極で画成され、動作中この表示  
材料がこれら電極と相まって容量を示すもの  
であって、これら表示素子を、それぞれの電  
極に電圧を一方の基板上に支持されたそれぞ  
れのスウィッチング手段を経て選択的に供給す  
ることにより制御するようにしたマトリクス  
表示装置において、前記一方の基板上に支持  
されたスウィッチング手段と関連する表示素子  
電極の各々を複数のサブ素子を画成する複数  
の各別の電極で構成し、これら各別の電極の  
各々を前記スウィッチング手段に直列キャパシ  
タを介して容量的に結合し、これらサブ素子  
の容量とそれらの直列キャパシタの容量との  
比を互に相違させてあることを特徴とするマ

トリクス表示装置。

2. 各表示素子の前記複数のサブ素子の数は表  
示すべきグレースケールレベルの数に従って  
選択してあることを特徴とする特許請求の範  
囲1記載のマトリクス表示装置。
3. 各表示素子は、前記複数のサブ素子に加え  
て、前記スウィッチング手段に直列キャパシタ  
を経て容量結合された他の1個以上のサブ素  
子を含み、この他の1個以上のサブ素子とそ  
れらの直列キャパシタとの容量比を、前記複  
数のサブ素子と関連する容量比の1つ又は各  
々と同一にしてあることを特徴とする特許請  
求の範囲1または2記載のマトリクス表示装  
置。
4. 各表示素子の前記複数のサブ素子のそれぞ  
れの面積を表示すべきグレースケールレベル  
に従って互に相違させてあることを特徴とす  
る特許請求の範囲1～3の何れかに記載マト  
リクス表示装置。
5. 順次にスイッチされるサブ素子の電極のそ

それぞれの面積を略々対数関係にしてあることを特徴とする特許請求の範囲4記載のマトリクス表示装置。

6. 各表示素子の直列キャパシタは当該表示素子の縁に隣接して配置してあることを特徴とする特許請求の範囲1～5の何れかに記載のマトリクス表示装置。
7. 各表示素子のサブ素子と関連する直列キャパシタは共通のスイッチング手段の出力端子に接続してあることを特徴とする特許請求の範囲1～6の何れかに記載のマトリクス表示装置。
8. 各表示素子の前記複数の電極を平面アレーに配置すると共に、各々を当該表示素子の周縁に隣接して位置するそれらの直列キャパシタの一部を構成するそれぞれの導電層に接続し、且つ前記スイッチング手段の出力端子を前記複数の電極と関連する前記導電層の上方をこれら導電層から絶縁されて延在する導電細条に接続し、これら導電層とこれら導電層

に配置すると共に各々を当該表示素子の周縁に隣接して位置するそれらの直列キャパシタの一部を構成するそれぞれの導電層に接続し、前記複数のスイッチング手段の出力端子を、前記導電層の別々の1個以上の上方をこれら導電層から絶縁されて延在する別々の導体に接続し、これら導電層とこれら導電層の上方に位置するこれら導体のそれぞれの重複部分とで前記直列キャパシタを構成してあることを特徴とする特許請求の範囲11記載のマトリクス表示装置。

13. 各表示素子の直列キャパシタは当該表示素子の縁に隣接して設けてあることを特徴とする特許請求の範囲12記載のマトリクス表示装置。
14. 前記表示材料は液晶材料であることを特徴とする特許請求の範囲1～13の何れかに記載のマトリクス表示装置。
15. 前記スイッチング手段は薄膜トランジスタであることを特徴とする特許請求の範囲1～

の上方に位置するこの導電細条のそれぞれの重複部分とで前記直列キャパシタを構成してあることを特徴とする特許請求の範囲7記載のマトリクス表示装置。

9. 前記導電層の各々は前記複数の電極の各々と一体の延長部として形成してあることを特徴とする特許請求の範囲8記載のマトリクス表示装置。
10. 各表示素子は略々矩形にし、各表示素子の前記導電細条を当該表示素子の2つの縁に隣接して延在させてあることを特徴とする特許請求の範囲8又は9記載のマトリクス表示装置。
11. 各表示装置に対し複数のスイッチング手段を設け、これらスイッチング手段の出力端子を各別に当該表示素子の1個以上との直列キャパシタに接続してあることを特徴とする特許請求の範囲1～6の何れかに記載のマトリクス表示装置。
12. 各表示素子の前記複数の電極を平面アレー

14の何れかに記載のマトリクス表示装置。

16. 全ての表示素子に共通の電極を他方の基板上に支持してあることを特徴とする特許請求の範囲1～15の何れかに記載のマトリクス表示装置。

### 3. 発明の詳細な説明

本発明は、マトリクスに配置された複数の表示素子を具え、これら表示素子は電気的に励起し得る表示材料を介挿した対向基板上に支持されたそれぞれの電極で画成され、動作中この表示材料がこれら電極と相まって容量を示すものであって、これら表示素子を、それぞれの電極に電圧を一方の基板上に支持されたそれぞれのスイッチング手段を経て選択的に供給することにより制御するようにしたマトリクス表示装置に関するものである。

電気的に励起し得る表示材料が液晶材料である斯る表示装置の既知の例では、各表示素子を一方の基板上に支持された各別の電極と、他方の基板上に支持された全表示素子に共通の電極の対向部分とで構成し、スイッチング手段は薄膜トランジ

スタ(TFT)で構成し、これらトランジスタを行列アレーに配置している。複数のデータラインの各々をそれぞれの列のTFTに接続し、複数のゲートラインの各々をそれぞれの行のTFTに接続している。

この表示装置はゲートラインを順次に繰返し走査して各行の全てのTFTをターンオンさせると共にデータラインに画像(データ)信号を供給することにより駆動して画像を表示する。各ラインのTFTがターンオンすると、このラインの各TFTがデータラインとこのラインの各表示素子の一方の電極との間の導電通路を形成し、各表示素子を供給されるデータ電圧に充電する。ゲートライン電圧がこのラインの駆動の終了時に低下すると、このラインのTFTが全てターンオフし、これにより表示素子の電極が遮断され、表示素子の固有の容量(ストレーキャパシタを用いることもできる)のために充電荷が各表示素子に蓄えられる。従って、各表示素子は関連するTFTが次にターンオンされるまで(TV信号の場合には1フィールド周期)、

供給されたデータ電圧により決まる状態に維持される。

この種の表示装置は、ビデオ信号の各ラインをサンプリングし、サンプルした電圧をデータラインに供給することによりグラフィック表示又はTV画像表示に使用することができる。

特にこの表示装置をTV画像表示に使用する場合には、グレースケール表示機能が必要になる。既知の装置ではこれを、表示素子の透過率-電圧特性を利用すると共に、各表示素子に印加する電圧を調整することにより達成している。使用する液晶材料としては、指数関数状の傾きを示し、印加電圧に対しゆっくり変化する電圧スイッチング特性を有するものを選択する。この使用する液晶材料の種類をゆるやかなスイッチング特性を有するものに制限する必要性は特に視角のような材料の他の特性の制限を生ずる。

本発明の目的は、グレースケールレベルを容易に達成し得ると共に上述の既知の装置と関連する欠点が少くともある程度解消されるようにしたマ

トリクス表示装置、特に液晶表示装置を提供することにある。

本発明は、マトリクスに配置された複数の表示素子を具え、これら表示素子は電気的に励起し得る表示材料を介挿した対向基板上に支持されたそれぞれの電極で画成され、動作中この表示材料がこれら電極と相まって容量を示すものであって、これら表示素子をそれぞれの電極に電圧を一方の基板上に支持されたそれぞれのスイッチング手段を経て選択的に供給することにより制御するようにしたマトリクス表示装置において、前記一方の基板上に支持されたスイッチング手段と関連する表示素子電極の各々を複数のサブ素子を画成する複数の各別の電極で構成し、これら各別の電極の各々を前記スイッチング手段に直列キャパシタを介して容量的に結合し、これらサブ素子の容量とそれらの直列キャパシタの容量との比を互に相違させてあることを特徴とする。

斯る表示装置は特定の電気-光学表示材料、例えばゆるやかなスイッチング特性、即ち一方の状

態から他方の状態に徐々に変化する特性を有する液晶材料を使用する必要がなくなる。また、他の電気-光学表示材料を用いて、ゆるやかなスイッチング特性を有する特定の材料の使用と関連する種々の他の特性の制限を除去することもできる。

この利点は、各表示素子が實際上複数の電極で画成される種々のしきい値を有する複数のサブ素子(即ち、サブ領域)に分割される事実による。各表示素子はある範囲のグレースケールレベルを表示することができ、そのレベルは異なる状態にスイッチされたサブ素子の数により決まり、この数は表示材料のスイッチング電圧に到達した又はこの電圧を越えた各表示素子の各別の電極の数により決まる。表示素子のサブ素子とそれらの直列キャパシタとの容量比は互に相違するため、所要のスイッチング電圧に到達するサブ素子の数はスイッチング手段を経て供給される電圧に応じて変化する。各容量性サブ素子と直列キャパシタの直列接続回路は實際上容量性分圧回路として作用し、複数のこれら回路が印加電圧源間に互に並列に接

続されているものとみなせる。従って、これらサブ素子の各々の両端間の電圧をしきい値電圧に到達させるには各別の所定レベルの印加電圧が必要になる。印加電圧を増大すると、しきい値が越えられてスイッチされるサブ素子、即ち状態の変化を生ずるサブ素子の数及び従って表示素子のターンオン面積の割合がこれに応じて増大する。各表示素子の面積は小さいため、代表的な視聴環境の下では視聴者はサブ素子が別々になっていることを識別することはできず、各表示素子はスイッチされたサブ素子の数に従って変化する輝度（グレースケールレベル）を有する1つのドットとして知覚される。この結果、種々のグレースケールレベルを印加電圧に応じて達成することができる。この点に関連し、例えば表示材料がしきい値電圧の印加時に明状態から暗状態にスイッチされる液晶材料である場合を考察すると、しきい値電圧に到達する各表示素子の電極の数が増大するとこの表示素子が暗くなり、逆にこの電極の数が減少するとこの表示素子が明るくなる。

が他のキャパシタと直列に接続されるため、表示素子の総合容量が同一サイズの各表示素子を画成する単一電極を用いる既知の表示装置と比較して小さくなり、従って必要とされるTFTのサイズを小さくしてTFT面積に対する表示素子の面積の比を大きくすることができる。

各表示素子のサブ素子の数及び従って前記複数の電極の数は表示すべきグレースケールレベルの数に従って選択するのが好ましい。代表的には、TV画像表示に対しては16個のグレースケールレベルが望ましく、この場合には各表示素子に対し15個のサブ素子を設ける。この場合、16番目のグレースケールレベルは表示素子の全てのサブ素子をオフ状態にすることにより得られる。

各表示素子には、前記複数のサブ素子に加えて、同様に直列キャパシタを経てスイッチング手段に接続された他の1個以上のサブ素子を含ませ、これらサブ素子とそれぞれの直列キャパシタの容量の比を前記複数のサブ素子と関連する各別の容量の比の1つ又はそれぞれと同一にすることができ

本発明の一実施例では、表示材料を液晶材料とする。本発明は液晶表示装置に適用すると特に有用である。グレースケール表示を達成する本発明の方法によれば、液晶の電圧特性はあまり重要でなく、ゆるやかなスイッチング特性を示す液晶材料以外の液晶材料も使用することができ、従来より広い他の特性の選択が得られる。従って、必要に応じ動作中に改善された視角特性を与える材料を使用することができる。しかし、使用する液晶材料は適度に鋭い電圧スイッチング特性を有するものとするのが好ましい。

本発明は動作中容量性を示す他の電気-光学表示材料、例えばエレクトロルミネッセンス材料又はエレクトロミック材料を用いる表示装置に用いて同様の利点を得ることもできること明らかである。

表示素子のスイッチング手段を例えばTFTとする場合には、本発明は更に他の利点を提供する。即ち、各表示素子が複数の電極の各々で画成される複数の各別のサブ素子で構成され、各サブ素子

る。この場合、前記複数のサブ素子の1つをスイッチするに十分な所定の電圧が印加されると、これに加えて他のサブ素子の1個以上がスイッチされる。このようにすると、単一グレースケールレベルを表示素子の2個以上のサブ素子により与えることができる。このような他のサブ素子を設けることにより所望のグレースケールレベルを得ることができるため、前記複数のサブ素子の特定の1つのスイッチング手段によってのみ異なるグレースケールレベルを達成する代りに、1個以上の他のサブ素子をこの特定のサブ素子と同時にスイッチすることによりこの異なるグレースケールレベルを得ることができる。

本発明は有用な範囲のグレースケールレベルを提供し得るが、必要に応じこれらレベルの中間のレベルを、従来のような表示材料のスイッチング特性を同時に利用することにより従来のものと合成されたグレースケールを与えることにより達成することができる。そのスイッチング特性は既知の装置に必要とされるほどゆるやかにする必要は

なく、かなり鋭くすることができる。

表示装置の視聴者により知覚される所望のグレーレベル変化を与えるために、各表示素子の前記複数の電極の各々の面積及び従ってサブ素子の各々の面積を知覚すべきグレースケールレベルに従って互に変える。人間の眼の輝度レベル変化に対する応答特性は略々対数特性である。

従ってこの場合には、順次にスイッチされるサブ素子の前記複数の電極の各々の面積を略々対数関係になるように選択してリニアグレースケールの眼の知覚に合うようにするのが好ましい。

このように複数の電極の面積を相違させると、その結果としてこれら電極により画成されるサブ素子の容量も相違することになる。これがため、これらサブ素子と直列のキャパシタの容量の値を、これらサブ素子とそれらの直列キャパシタとの容量の比の間に所要の差が得られるように決める必要がある。

液晶材料を表示材料として用い得る本発明表示装置の実施例においては、各表示素子のサブ素子

タを設け、これらスイッチング手段の出力端子をそれぞれ表示素子の1個以上の直列キャパシタに接続する。例えば、スイッチング手段がTFTである場合には、1つのTFTの出力端子を2個の直列キャパシタに接続し、もう1つのTFTの出力端子を1個以上の他の直列キャパシタに接続し、以下同様に接続する。直列キャパシタの各々に対し各別のTFTを設けることもできる。追加のTFTは特にTFTの数が表示素子のサブ素子の数に等しくなる後者の場合に表示装置の構造をある程度複雑にするが、この構成は重要な利点を提供する。即ち、単一のTFTのみが表示素子と関連する場合にはこのTFTの故障がこの表示素子全体の故障につながる。他方、上述のように複数のTFTを使用する場合には、1つのTFTの故障(2つ以上の場合もあり得る)が表示素子全体の故障にならず、この表示素子はまだ有効に作用する。複数のTFTが故障する確率は極めて小さい。

薄膜トランジスタ以外のスイッチング手段、例えばMIM(金属-絶縁体-金属)ダイオード又は薄

と関連する直列キャパシタを共通のスイッチング手段、例えば薄膜トランジスタの出力端子に接続する。各表示素子の複数の電極を平面アレーに配置し、各々を直列キャパシタの一部を構成する各別の導電層に接続する。これら導電層は電極の延長部として電極と一体に形成して表示素子の周縁に隣接して設けることができる。スイッチング手段の出力電極は複数の電極と関連する導電層の上方をこの導電層から絶縁されて延在する導電細条に接続し、これら導電層と、これら導電層の上に位置するこの導電細条の重複部分とで直列キャパシタを構成するようにする。この導電細条は略々一定の幅に形成し、各直列キャパシタの容量値はこの細条の下側に位置する導電層の面積により決まるようにするのが好適である。表示素子を略々矩形とする場合には、上述の導電細条は表示素子の2辺に隣接して延在させるのが好ましく、この構成によると複数の電極の配置が容易になる。

他の実施例においては、各表示素子に対して複数のスイッチング手段、例えば薄膜トランジス

膜ダイオードを用いることもできる。

表示装置の他の基板により共通電極又は複数の各別の電極を既知のように支持することもできる。

以下、図面を参照して本発明のマトリクス表示装置を特にマトリクス液晶表示装置について詳細に説明する。

第1図は本発明表示装置を含むLCD-TV表示システムのブロック図を示すものであり、本例ではアクティブマトリクスアドレス形液晶表示パネル10を具えている。パネル10は各ラインごとに $n$ 個の水平表示素子(画素)20(1~ $n$ )を具えた $m$ 個のライン(1~ $n$ )から成る。実際には、マトリクスアレー内の画素の総数( $m \times n$ )は100000個以上に行うことができる。各表示素子20はスイッチング素子として作用するアモルファスシリコン薄膜トランジスタ(TFT)11を有している。各ライン内の全てのTFTのゲートは行(Y)電極14に接続し、各列内の全てのTFTのソース電極は列(X)電極15に接続し、 $m$ 個の行電極14と $n$ 個の列電極15が存在する。TFT11のドレインは表示素子のそれぞれの電極に

後に詳述するように接続する。表示素子の共通電極は表示素子のそれぞれの電極及びTFTを支持する基板から離間された基板に支持され、両基板間に液晶材料が介挿される。液晶材料15は印加電圧に応じて光を変調する。表示素子と位置合わせして配置されたカラーフィルタにより三原色加色混法によるカラー表示が得られる。

表示素子20のマトリクスアレーのラインアドレッシングは行電極14にゲート電圧を供給することにより達成される。これによりマトリクスのこの行の全てのTFTがターンオンする。行電極を順次にアドレスしてライン走査を行なう。線順次アドレッシングを用いると各TFTは時間 $T_L$ 中スイッチオンされ、この時間中ビデオ情報が表示素子に転送される。フィールド時間 $T_F$ （この時間は $n \cdot T_L$ に略々等しい）の残りの時間中各TFTがターンオフされ、その結果液晶表示素子の固有のキャパシタンス( $C_{LC}$ )のために液晶間に印加されたビデオ電圧が維持される。液晶材料は有効に直接駆動され、従って任意の本数のラインをTFTの

子をソース電圧に充電する。Y(ゲート)電極14が低下すると、このラインのTFTはターンオフする。これにより液晶表示素子が遮断され、電荷が表示素子のキャパシタに蓄えられたままになる。従ってこれらの表示素子は関連するTFTがY電極14の駆動により次にターンオンされるまでそれらの両端間の電圧 $V_{LC}$ により決まる状態に維持される。

Xシフトレジスタ回路28の目的はパネル10の線順次アドレッシングに適した直列-並列変換を得ることにある。フル解像度のTV表示のためには2個のシフトレジスタが必要である。ライン時間中、1ラインのビデオ情報を一方のレジスタ内にシフトさせると同時にその別のラインのビデオ情報を他方のレジスタからパネルのY電極14に転送する。

次のライン時間中、第1レジスタのビデオ情報をパネルに転送すると同時に第2レジスタに次のラインのビデオ情報をロードする。半解像度のTV表示においては1TVフレームを構成する両フィールドとも同一組の画素に転送する（即ち、各フィ

ィッチング特性に応じてアドレスすることができる。

第1図に示すように、Y(行)電極14は、クロック回路22からの規則正しいタイミングパルスが供給されるディジタルシフトレジスタ21により駆動され、クロック回路23にはチューナ24、IF回路25及びビデオ増幅器26を経て到来する入力信号から同期分離器23により取り出されたライン同期パルスが供給される。

ビデオ情報信号は1個以上のシフトレジスタから成るアナログシフトレジスタ回路28から全てのX(列)電極15に同時に供給され、このシフトレジスタ回路にはビデオ増幅器26からビデオ信号が、クロック回路22からタイミングパルスがライン駆動と同期して供給される。このシフトレジスタ回路はビデオ信号の対応するラインをサンプルし、対応する電圧をX電極15及びTFTのソース電極に供給する。駆動ラインのオンTFTはX電極15とTFTのドレインに接続された表示素子の電極との間の導電通路を形成してこのラインの液晶表示素

子フィールドを例えばCRT表示の場合のように飛越し走査表示しないで重ね合わせ表示する。従ってシフトレジスタ28に供給されるビデオ信号の極性をフィールドの終了ごとに変えて液晶材料の劣化の可能性を低減するのが好ましい。

アクティブマトリクスアドレス形液晶表示パネルを用いる液晶TV表示システム及びその動作の上記の説明は意図的に簡単にしてある。同様のTV表示システムが公知であり、広く開示されている。この理由のためにその一般的な構成原理及び動作についてこれ以上詳細に説明する必要はないものと考えられる。これ以上の情報については例えば米国特許第3862360号明細書、英国特許第2159656号明細書、又は「Proceedings of the IEEE」Vol. 59, No. 11(1971年11月)、PP1566-1579、に発表されているLechnen等の論文「Liquid Crystal Matrix Displays」を参照されたい。

TFTを用いる斯る既知の液晶表示パネルにおいては、個々の表示素子はTFTの出力端子に接続され且つTFTと同一の基板上に支持された単一の電極

を具え、この電極が対向基板上に支持された対向共通電極の対向部分と相まって表示素子を構成するようにしている。TFFの入力端子に供給されるビデオ信号の大きさにより決まるグレースケールレベルの差は液晶材料の特性に依存し、グレースケール表示のためにはゆるやかなスイッチング特性、通常は指数関数状の傾きを有してその透過率が印加電圧とともにゆっくり変化する液晶材料を用いる必要がある。

しかし、本発明のこの実施例においては、各表示素子を複数のサブ素子に分割し、単一の電極の代りに複数の電極を具えるものとする。この複数の個々の電極はこの表示素子と関連する共通電極部分のそれぞれのサブ領域及びこれらの間の液晶材料とともに複数のサブ表示素子を構成する。これらサブ素子は全体で慣例の単一表示素子と略々同一の面積を占めるため、解像度の損失を生ずることはない。各表示素子は前と同様にX導体15を経てビデオ信号が供給されると共に、Y導体14上のゲート信号により制御されて画像を表示

する。しかし、グレースケールレベルは、液晶材料の電圧スイッチング特性によらずに、例えば液晶材料が光を透過する第1の状態から第2の不透過状態へスイッチされるサブ素子の数を選択制御することにより達成される。これがため表示素子の殆んどのサブ素子が第2状態の場合にはこの表示素子は視聴者に暗部として知覚され、殆んどのサブ素子が第1状態の場合にはこの表示素子は明部として知覚される。これがため、第1及び第2状態におけるサブ素子の相対数を変化させることにより種々のグレースケールレベルを一種のドットマトリクス原理に従って達成することができる。

所要のグレースケールレベルに対する各サブ素子の所望の制御は容量特性を利用することにより達成される。サブ表示素子は慣例の表示素子と同様にキャパシタとして動作する。サブ素子の各々をビデオ信号が供給される点、即ち関連するTFTの出力端子にそれぞれの直列キャパシタを経て接続する。各サブ素子の容量とそれぞれの直列キャパシタの容量との比を予め決め、少くともいくつ

かの直列接続に対して互に相違させる。これらのサブ素子とキャパシタの直列接続は分圧回路のように動作する。これらの直列接続の容量比は互に異なるため、これらの直列キャパシタに印加された特定のビデオ信号電圧によってこの表示素子の複数の電極のうちのいくつかがこれらサブ素子の状態を変化させるのに必要な液晶スイッチング(しきい値)電圧に達することになる。ビデオ信号がしだいに増大すると、しだいに多数のサブ素子が状態を変化する。逆にビデオ信号電圧がしだいに減少すると、これに応じて状態を変化するサブ素子の数が減少する。従って、状態を変化したサブ素子の数により各瞬時のグレースケールレベルが決まる。

これがため、最早液晶材料はゆるやかなスイッチング特性を有するものとする必要はなくなる。最適な結果を得るための液晶材料の選択においては適度に鋭いスイッチング特性を有するものとするのが好ましいという条件があるだけである。しかし、通常よりは鋭いかもしれないが幾分ゆるや

かなスイッチング特性を有する液晶材料を選択することにより、サブ素子の電圧/透過率特性を従来の表示素子と同様に利用して追加のグレースケール変化を達成することもできる。

第2図は、パネルの各表示素子が上述のようにそれぞれのキャパシタと直列に接続された複数のサブ素子を構成する複数の電極を具えている第1図のシステム用の本発明液晶パネルの特定の実施例の代表的な表示素子の一部分の断面図を示すものである。第3図は第2図に示す表示素子の一部分の平面図で、この表示素子の複数の電極及びそれらの関連する直列キャパシタを示すものである。

第2図において、パネル10は互に離間して間に空隙を構成する2個のガラス基板30及び31を具え、その空隙内に挟れネマチック液晶材料32が配置される。通常の如く、偏光層(図示せず)が基板30及び31の外表面上に設けられる。上側基板30はその内表面上に全ての表示素子に共通のITO(インジウム錫酸化物)の連続電極層を支持する。

この電極33上に、色フィルタ層34及び絶縁材料の隣接光遮へい層35の個別の区域をマトリクス状に配置する。色フィルタ34はそれぞれ赤、緑及び青の3つの隣接フィルタ層のグループにしてそれぞれの表示素子上に配置して対応する3個の表示素子のグループからの出力が合成されてフルカラー表示が得られるようにする。次に層34及び35をポリマー材料の配向層36で被覆する。

下側基板31はTFT40を表示素子の関連電極41と一緒に支持する。各TFTは図に示すように基板31上に直接配置された金属ゲート電極42と、SiNゲート絶縁層43と、ゲート上のアモルファスシリコン層44と、層44上に横方向に離間して位置する2個の $n^+$ 層47と、層47上を延在するソース及びドレイン電極45及び46とを具えている。不活性層48として作用する絶縁層を図に示すように全構造上に被覆する。次いでこの絶縁層48を層36と同様のポリマー材料の配向層49で被覆する。

ソース電極45を同じ列15内の他のTFTのソース電極と相互接続し、ゲート電極42を同じ行14内の

他のTFTのゲートと相互接続し、これらの相互接続導体は関連する電極と一体に形成する。

第3図に明瞭に示されているように、各TFTのドレイン電極46にはこれと一体に延長導電細条層を形成する。この延長細条は点線で示す表示素子区域53(本例では約 $350 \times 30 \mu\text{m}$ の矩形区域)の隣り合う2辺に沿って互に直角に延在する略々一定の幅の2個のアーム部50及び51を有する。

アーム部50及び51はゲート絶縁層43上に設ける。この層43の下側には、同一平面に配置された複数個の各別の表示素子電極55a～55oをガラス基板31上に直接設け、これら電極は表示素子区域53内にかなり小さな間隔で配置され、これらが相まって1つの表示素子を構成するようにする。これら電極55a～55oの各々は共通電極のそれぞれの対向部分及び間の液晶材料32とともに表示素子のサブ素子を構成する。

電極55a～55oにはTFTドレイン電極の延長細条層の下側を通して延在するとともにこの層から絶縁層43により分離された延長部56を一体に設け、

電極55a～55hがアーム部51の下側を通り、電極55i～55oがアーム部50の下側を通るようにする。これらの電極延長部56はそれらの上に位置する絶縁層43及びアーム部50及び51との重複部分とともにキャパシタを構成し、これらのキャパシタはTFTのドレイン電極46と、電極55、液晶材料32及び電極33の対向分から成るそれぞれの容量性サブ表示素子との間に直列に接続されたものとなる。

第3図においては、15個の電極を設けてあり、これにより表示素子が実際上15個のサブ素子に分割され、これらサブ素子の順次のスイッチングにより16個のグレースケールレベルを達成することができること明らかである(全てのサブ素子がオフ状態のときに16番目のグレースケールレベルが得られる)。

グレースケールレベル間の適切な知覚差を与えるためには、順次にスイッチされる電極55a～55o及び従ってサブ素子の面積を互に相違させて指数関数状変化に従わせるのが好ましい。このようにすると、輝度レベル変化に対する眼の対数応答特

性のためにサブ素子の面積が眼のリニアグレースケール知覚に適合することになる。このようにするとサブ素子の容量がこれに応じて互に相違することになる。この場合各サブ素子とその直列キャパシタとの容量比も互に相違することになる。各サブ素子の容量はその電極55の面積により略々決まるので、所要の容量比の差はアーム部50及び51の下側の電極延長部56のサイズを適当に調整して各場合の直列キャパシタの所望の容量値を得ることにより達成される。代表的にはこれら直列キャパシタは表示素子の総合容量の単位面積当りの容量の10～20倍の単位面積当りの容量値を有する。

アーム部50及び51は電極33の対向部分及びそれらの間の液晶材料とともにサブ素子の容量と並列の所定の容量を生じ、これが表示素子の小さい総合容量をある程度増大する。動作中にこれらアーム部50及び51により発生するかもしれない表示の影響はマトリクス光遮へい層35によりマスクされる。この表示素子の電気回路を第4図に示しており、この図においてサブ素子の容量及びそれらの

関連直列キャパシタの容量をそれぞれ $C_{1c}$ 及び $C_{2c}$ で示してある。

ここで、サブ素子のキャパシタの一方の極板は実際には共通電極層33のそれぞれの部分で形成されている点に注意されたい。

各サブ素子 $C_{1c}$ に直列キャパシタ $C_{2c}$ を付加することにより、TFTのドレイン電極に存在するビデオ信号が所定のグレースケールレベルに対応する電圧に到達するときのみ所定のサブ素子間の電圧が液晶材料を例えば光透過の第1状態から光不透過の第2状態へスイッチするのに必要なしきい値電圧に到達するようにできる。動作中にTFTのドレイン電極の電圧が順次のフィールド中に増大すると、一層多数のサブ素子が第1状態から第2状態にスイッチされて対応するグレースケールが得られる。

グレースケールレベルの変化はサブ素子を2つの状態の下で適当にスイッチングさせることにより達成されるため、液晶材料の選択は今までほど重要でなく、視角範囲のような他の特性を向上さ

せることが可能になる。特に良好な結果を得るためには液晶材料は適度に鋭い電圧スイッチング特性を有するものとするのが望ましい。

上述の実施例ではサブ素子とそれらの直列キャパシタの容量比の全てを互に相違させているが、2個以上のサブ素子と関連する容量比を同一レベルにしてこれらサブ素子が同時にスイッチするようにし、2個以上のサブ素子を一緒に作動させて1つのグレースケールレベルの変化を得ると共に電極パターンを第3図に示すものと相違させることができる。達成されるグレースケールレベルの数は先に述べたような液晶材料のスイッチング特性を用いることにより維持することができる。

第5図は本発明表示パネルの他の実施例の代表的な表示素子の回路構成を示すものである。この実施例では、表示素子の全てのサブ素子を単一のTFTで駆動する代りに、各サブ素子を各別のTFT60で駆動する。これらTFTのゲート及びソースをそれぞれ同一の行14及び15に接続してこれらTFTが同一のゲート信号及びビデオ信号を受信するよう

にする。この表示素子の動作は前のままである。この構成は、単一のTFTの故障が表示素子全体の故障になる前述の実施例と異なり、1つのTFTの故障が表示素子全体の故障にならず、表示能力の若干の制限が生ずるだけであるという利点を有する。従って歩留りが向上する。

各サブ素子に各別のTFTを設けるのは高い冗長性を与えるが、各表示素子に2個以上のTFTを設け、各TFTを1個以上のサブ素子に接続することにより有用な程度の冗長性をもっと簡単に得ることができる。例えば1つのTFTを1個のサブ素子に接続し、もう1つのTFTを3個の他のサブ素子に接続し、もう1つのTFTを2個の他のサブ素子に接続するというように接続することができる。

これらの可能な構成例においては、TFTのドレインとそれらの関連サブ素子との間の相互接続は第2図に示すものと異なる形態の導電層を必要とすること勿論である。複数個のTFTを各表示素子に隣接して設ける必要があるが、このことはこれらTFTにより占められる面積が第1実施例の単一

TFTに必要とされる面積と比較して著しく大きくなることを必ずしも意味しない。これらTFTは表示素子全体ではなくサブ素子を駆動する必要があるものであるから、これらTFTはこれに応じて小形に形成することができる。実際にはこれらのTFTは複数の小さいTFTに分割されている共通に形成されたTFT構造にすることができる。

#### 4. 図面の簡単な説明

第1図は表示素子のマトリクスを有するカラー液晶表示パネルを含むTV画像表示用に好適な液晶表示システムの簡略ブロック図、

第2図は第1図のシステム用の本発明によるカラー液晶表示パネルの一実施例の一部分の断面図、

第3図は第2図の表示パネルの1つの表示素子の電極構成を示す平面図、

第4図は第2図の表示パネルの1つの表示素子の電気回路図、

第5図は本発明表示パネルの他の実施例の1つの表示素子の電気回路図である。

10…表示パネル

- 11…薄膜トランジスタ(TFT)  
 14…行電極                      15…列電極  
 20…表示素子  
 21…デジタルシフトレジスタ回路  
 22…クロック回路              23…同期分離器  
 24…チューナ                    25…IF回路  
 26…ビデオ増幅器              30, 31 …基板  
 32…液晶材料                    33…共通電極層  
 34…色フィルタ                  35…隣接光遮へい層  
 36…配向層                      40…TFT  
 41…表示素子電極              42…ゲート電極  
 43…ゲート絶縁層  
 44…アモルファスシリコン層  
 45…ソース電極                  46…ドレイン電極  
 47… $n^+$ 層                      48…不活性層  
 49…配向層  
 50, 51 …ドレイン電極の延長アーム部  
 55a ~ 55o …表示素子の分割電極  
 56…電極55の延長部  
 $C_c$ …サブ表示素子の容量

$C_x$  …直列キャパシタ

特許出願人      エヌ・ペー・フィリップス・  
フルーイランベンファブリケン

代理人弁理士      杉      村      暁      秀

代理人弁理士      杉      村      興      作

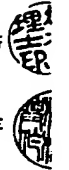


Fig. 1.

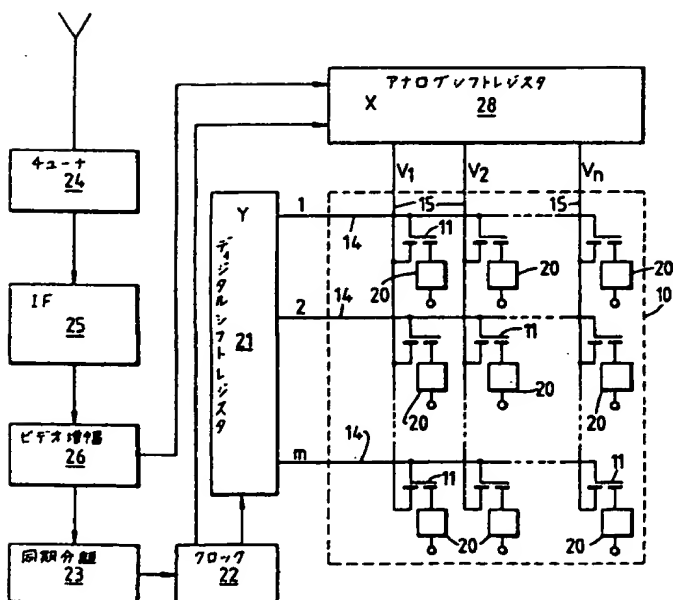


Fig. 2.

